

FSK DEMODULATOR

Patent Number: JP10173715
Publication date: 1998-06-26
Inventor(s): KAMENO TOSHIAKI
Applicant(s): SHARP CORP
Requested Patent: ☐ JP10173715
Application Number: JP19960335427 19961216
Priority Number(s):
IPC Classification: H04L27/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a frequency shift keying(FSK) demodulator configured with only a digital circuit, without including analog circuits for attaining miniaturization and that is applicable to a sophisticated calling system or the like without increasing power consumption.

SOLUTION: A demodulator is provided is provided with a count means (20, 25) that counts modulation signals by the FSK system, corresponding to a plurality of time regions being divisions of one period of the modulation signal, count specific means (23, 24, 25) specifying counts of the count means (20, 25) corresponding to the time region to which a transition point of the modulation signal for the one period above belongs, and a signal-generating means (not shown) that generates a digital signal, based on the count to detect the count of the count means (20, 25) as phase information. The phase information is handled as frequency information by utilizing a proportionality relation of the phase information to the frequency information, and the frequency information of the modulation signal is extracted and FSK-demodulated.

Data supplied from the esp@cenet database - l2

【特許請求の範囲】

【請求項1】 FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、前記変調信号の1周期を分割して得られる複数の時間領域に対応づけて計数する計数手段と、前記1周期における変調信号の遷移点が属する時間領域に対応する前記計数手段の計数値を特定する計数値特定手段と、前記計数値に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器。

【請求項2】 FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、システムクロック信号に基づき前記変調信号の周期に近似する周期で計数を繰り返すフリーランカウンタ回路と、前記システムクロック信号をクロックとして前記変調信号を取り込んで出力するD型フリップフロップ回路と、前記D型フリップフロップ回路の出力に基づき前記フリーランカウンタ回路の計数値を取り込むレジスタ回路と、前記レジスタ回路に取り込まれた前記計数値に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器。

【請求項3】 FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、システムクロック信号に基づき前記変調信号の周期に近似する周期で計数を繰り返すフリーランカウンタ回路と、前記システムクロック信号の立ち下がりエッジに基づいて前記変調信号を取り込んで出力する第1のD型フリップフロップ回路と、前記システムクロック信号の立ち上がりエッジに基づいて前記変調信号を取り込んで出力する第2のD型フリップフロップ回路と、前記第1のD型フリップフロップ回路の出力に基づき前記フリーランカウンタ回路の計数値を取り込む第1のレジスタ回路と、前記第1のD型フリップフロップ回路の出力に基づき前記第2のD型フリップフロップ回路の出力を取り込む第2のレジスタ回路と、前記第1のレジスタ回路の内容に前記第2のレジスタ回路の内容を加算する加算器と、前記加算器の加算結果に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、FSK (Frequency Shift Keying) 方式を用いて変調された変調信号をデジ

タル信号に復調するFSK復調器に関する。

【0002】

【従来の技術】 従来、デジタル信号を無線伝送する場合の変調方式として、デジタル信号の値に対応づけて搬送波を周波数変調するFSK (Frequency Shift Keying: 周波数偏移変調) 方式がある。例えば、無線呼び出しシステムにおいて、基地局から呼び出しコードを表すデジタル信号を無線伝送して呼び出しを行う場合、基地局が呼び出しコードを表すデジタル信号に基づいて搬送波をFSK方式により変調し、これを変調信号波として空中に放射する。一方、受信機側はこの変調信号波を受信して復調動作を行い、基地局から送られた呼び出しコードを読み取って呼び出しなどの動作を行う。

【0003】 高度無線呼び出しシステムでは、このような呼び出しサービスのみならず、自由文サービスやトランスペアレントサービスなどを提供している。このような高度なサービスを提供するためには、多量の情報を高速に伝送する必要がある。このため、例えば4種類の周波数成分に対応づけて2ビット分のデジタル信号を単位としてFSK変調する変調方式が用いられており、この変調方式で変調された変調信号を復調するための4値FSK復調回路がある。ここで、或るデジタル信号の値が対応する変調信号の一つの状態は「シンボル」と呼ばれ、この場合、1シンボルで2ビット分のデジタル信号が伝送される。

【0004】 図7に、4値FSK復調器を備えたFSK受信機の一般的な構成を示す。同図に示すFSK受信機は、図示しない基地局から空中に放射された変調信号波を捕捉するアンテナ11と、該アンテナ11に捕捉された変調信号波から所定の周波数帯域の高周波信号を抽出して増幅する高周波増幅回路(RF)12と、局部発振信号を生成する局部発振器13と、高周波増幅回路12により抽出された高周波信号に局部発振器13が生成した局部発振信号を混合して中間周波信号に変換する中間周波増幅器14と、この中間周波信号からデジタル信号を生成する4値FSK復調器15と、このデジタル信号から情報コードを読み取って呼び出しやメッセージの表示などの各種の動作を制御する制御部16とを備えて構成されている。

【0005】 このように構成されたFSK受信機では、基地局から放射された変調信号波をアンテナ11が捕捉する。この変調信号は高周波増幅器12により帯域制限されて所定の周波数帯域の高周波信号が抽出された後、中間周波増幅器14により中間周波信号に変換される。以下、この中間周波信号を変調信号と記す。

【0006】 4値FSK復調器15は、この変調信号(中間周波信号)のシンボル周期を単位として周波数成分を検出し、その周波数成分から4値のコードを特定してデジタル信号を生成する。制御部16はこのデジタル信号から情報を読み取って、呼び出し等の各種の動

作を制御する。

【0007】

【発明が解決しようとする課題】ところで、従来、4値FSK復調器の復調方式として、クアドラチャ検波方式や、FSK変調された信号の零交差点の時間を計測するパルスカウント方式が用いられている。しかしながら、クアドラチャ検波方式によれば、アナログ回路であるA/Dコンバータ等を必要とするため、例えばCMOSトランジスタのようにデジタル回路素子のみを用いて装置をLSI化することが困難である。このため、複数のLSIチップから装置を構成しなければならず、装置の小型化の妨げとなるという問題がある。

【0008】これに対して、パルスカウント方式によれば、動作クロック周波数が低いと信号の検出精度も低下する。このため、信号の高速な伝送と共に高精度な検出が要求される高度無線呼び出しシステムに適用するためには動作クロック周波数を所定値以上に維持する必要がある。この結果、消費電力が増加するという問題がある。

【0009】本発明は、このような問題に鑑みてなされたものであり、A/Dコンバータなどのアナログ回路を含むことなくデジタル回路のみから構成して装置の小型化を可能とし、しかも消費電力の増加を伴うことなく高度呼び出しシステム等への適用を可能とするFSK復調器を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明は、前記課題を解決達成するため、以下の構成を有する。即ち、請求項1に記載の発明に係るFSK復調器は、FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、前記変調信号の1周期を分割して得られる複数の時間領域に対応づけて計数する計数手段と、前記1周期における変調信号の遷移点が属する時間領域に対応する前記計数手段の計数値を特定する計数値特定手段と、前記計数値に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器の構成を有する。

【0011】また、請求項2に記載の発明に係るFSK復調器は、FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、システムクロック信号に基づき前記変調信号の周期に近似する周期で計数を繰り返すフリーランカウンタ回路と、前記システムクロック信号をクロックとして前記変調信号を取り込んで出力するD型フリップフロップ回路と、前記D型フリップフロップ回路の出力に基づき前記フリーランカウンタ回路の計数値を取り込むレジスタ回路と、前記レジスタ回路に取り込まれた前記計数値に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器の構成を有する。

【0012】さらに、請求項3に記載の発明に係るFS

K復調器は、FSK方式を用いて変調された変調信号をデジタル信号に復調するFSK復調器であって、システムクロック信号に基づき前記変調信号の周期に近似する周期で計数を繰り返すフリーランカウンタ回路と、前記システムクロック信号の立ち下がりエッジに基づいて前記変調信号を取り込んで出力する第1のD型フリップフロップ回路と、前記システムクロック信号の立ち上がりエッジに基づいて前記変調信号を取り込んで出力する第2のD型フリップフロップ回路と、前記第1のD型フリップフロップ回路の出力に基づき前記フリーランカウンタ回路の計数値を取り込む第1のレジスタ回路と、前記第1のD型フリップフロップ回路の出力に基づき前記第2のD型フリップフロップ回路の出力を取り込む第2のレジスタ回路と、前記第1のレジスタ回路の内容に前記第2のレジスタ回路の内容を加算する加算器と、前記加算器の加算結果に基づきデジタル信号を生成する信号生成手段と、を備えたことを特徴とするFSK復調器の構成を有する。

【0013】以下、本発明の作用について述べる。即ち、請求項1に記載の発明に係るFSK復調器によれば、計数手段は、変調信号の1周期を分割して得られる複数の時間領域に対応づけて各周期毎に計数を繰り返す。計数値特定手段は、変調信号の1周期における遷移点が属する時間領域に対応する計数値を特定する。この計数値は変調信号の遷移点の位相情報（周波数情報）を表し、信号生成手段は、この位相情報を表す計数値に基づきデジタル信号を生成する。

【0014】また、請求項2に記載の発明に係るFSK復調器によれば、フリーランカウンタ回路は、システムクロック信号に基づき前記変調信号の周期に近似する周期で計数を繰り返す。D型フリップフロップ回路は、システムクロック信号をクロックとして変調信号を取り込み、これを遅延させて出力する。レジスタ回路は、D型フリップフロップ回路の出力に基づきフリーランカウンタ回路の計数値を取り込む。即ち、D型フリップフロップ回路の出力（遅延された変調信号）の遷移点で、この変調信号の位相情報（周波数情報）を表すフリーランカウンタ回路の計数値を取り込む。信号生成手段は、レジスタ回路に取り込まれた変調信号の位相情報（周波数情報）を表す計数値に基づきデジタル信号を生成する。

【0015】さらに、請求項3に記載の発明に係るFSK復調器によれば、フリーランカウンタ回路は、システムクロック信号に基づき変調信号の周期に近似する周期で計数を繰り返す。第1のD型フリップフロップ回路は、システムクロック信号の立ち下がりエッジに基づいて変調信号を取り込んで所定の遅延を与えて出力する。また、第2のD型フリップフロップ回路は、システムクロック信号の立ち上がりエッジに基づいて変調信号を取り込んで所定の遅延を与えて出力する。第1のレジスタ回路は、第1のD型フリップフロップ回路の出力に基づ

き前記フリーランカウンタ回路の計数値を取り込み、第2のレジスタ回路は、第1のD型フリップフロップ回路の出力に基づき第2のD型フリップフロップ回路の出力を取り込む。そして、加算器は第1のレジスタ回路の内容に前記第2のレジスタ回路の内容を加算し、信号生成手段が加算器の加算結果に基づきデジタル信号を生成する。

【0016】従って、例えば、第2のD型フリップフロップ回路が、システムクロック信号の立ち上がりエッジで変調信号を取り込んだ後に、第1のD型フリップフロップ回路が、システムクロック信号の立ち下がりエッジで変調信号を取り込んだ場合、第1のレジスタ回路に格納される計数値は、第1のD型フリップフロップ回路により遅延された変調信号の位相情報となる。このD型フリップフロップ回路による遅延による位相情報の誤差を是正するため、第2のD型フリップフロップ回路がシス

$$\omega(t) = d\phi(t)/dt = \lim_{\delta t \rightarrow 0} \{\phi(t+\delta t) - \phi(t)\} / \delta t = \lim_{\delta t \rightarrow 0} \{\phi(t) - \phi(t-\delta t)\} / \delta t$$

【0020】ここで、時間 t の進行(変化)に対して $\phi(t)$ の変化が十分に緩やかなものであると仮定すると、時刻 t における位相 $\phi(t)$ の傾きは、時刻 t の近傍にお

$$\omega(t) \approx \{\phi(t) - \phi(t-\delta t)\} / \delta t$$

【0022】さらに、(2)式を(3)式のように書き換えると、(3)式の左辺は時間幅 δt における位相の

$$\phi(t) - \phi(t-\delta t) \approx \omega(t) \cdot \delta t$$

【0024】ここで、変調信号のシンボル周期を T_s とし、 $\delta t = T_s/N$ (N は正の整数)とおくと、(3)

$$\phi(t) - \phi(t-T_s/N) \approx \omega(t) \cdot T_s/N$$

【0026】即ち、(4)式から理解されるように、時間 t の進行に対して変調信号の位相 $\phi(t)$ の変化が十分に緩やかに変化するものである場合((2)式を導く際の仮定条件)、(4)式の左辺により表される変調信号の位相の変化分(位相情報)は、角周波数(周波数情報)に比例するものとなり、変調信号の位相情報からその周波数情報を知ることができる。従って、周波数情報に変換されて伝送されたデジタル信号は、変調信号の位相情報を検出して復調することができ、FSK復調が可能となる。

【0027】以下、上述の概念に基づいた本発明に係るFSK復調器について、図1から図6を参照しながら説明する。本発明のFSK復調器は、上述の周波数情報と位相情報との関係に基づき変調信号の位相情報(周波数情報)を検出する瞬時位相検出部と、該瞬時位相検出部により検出された位相情報からデジタル信号を生成する信号生成部とを備えて構成される。

【0028】ここで、図1は第1の実施形態のFSK復調器が備える瞬時位相検出部の構成図、図2は図1に示す瞬時位相検出部の動作を説明するためのタイミングチ

テムクロック信号の立ち上がりで取り込んだ変調信号のレベル状態を参照し、このレベル状態が遷移後のものであれば、フリーランカウンタ回路の計数値に1を加算して、計数値を補正する。即ち、この場合、検出された位相情報の位相が進められて補正される。

【0017】

【発明の実施の形態】本発明の実施の形態に係るFSK復調器は、変調信号の位相情報と周波数情報とが比例関係にあることに着目して、変調信号をデジタル信号に復調するものであり、本実施形態のFSK復調器を詳細に説明するに先だって、この位相情報と周波数情報とが比例関係にあることについて説明する。

【0018】一般に、変調信号の角周波数 $\omega(t)$ は或る時刻 t における位相 $\phi(t)$ の変化分(傾き)として定義され、角周波数 $\omega(t)$ は(1)式で表される。

【0019】

$$\dots\dots (1)$$

ける時間幅 δt に対する位相の変化分に近似するので、(1)式は(2)式のように近似的に表される。

【0021】

$$\dots\dots (2)$$

変化分を表わす。

【0023】

$$\dots\dots (3)$$

式は(4)式のように書き換えられる。

【0025】

$$\dots\dots (4)$$

ヤート、図3は第2の実施形態のFSK復調器が備える該瞬時位相検出部の構成図、図4は図3に示す瞬時位相検出部の動作を説明するためのタイミングチャート、図5は図3に示す瞬時位相検出部の機能を拡張した場合の構成図、図6は図5に示す瞬時位相検出部の動作を説明するためのタイミングチャートである。

【0029】〔第1の実施の形態について〕先ず、図1及び図2を参照して、第1の実施の形態に係るFSK復調器について説明する。図1に示す本実施形態のFSK復調器が備える瞬時位相検出部は、変調信号IFの周期の8分の1の周期を有するシステムクロック信号SCに基づき変調信号IFの周期に等しい周期で「0」から「7」までを繰り返してアップカウントするフリーランカウンタ21と、該フリーランカウンタの出力を反転させるインバータ回路22と、システムクロック信号SCに基づき変調信号IFを取り込んでトリガー信号TGとして出力するD型フリップフロップ25と、トリガー信号TGに基づきインバータ回路22により反転されたフリーランカウンタ21の計数値を取り込むレジスタ回路23と、フリーランカウンタ21が新たな計数周期に入

る際にレジスタ回路23の内容を取り込むレジスタ24とを備えて構成される。ここで、フリーランカウンタ21とインバータ回路22とにより、「7」から「0」を繰り返してダウンカウントするフリーランカウンタ20が構成される。

【0030】なお、システムクロック信号SCの周期を変調信号IFの周期の8分の1として、フリーランカウンタ21が「0」から「7」までを計数する計数周期と変調信号IFの周期とは一致している必要があるが、FSK方式の復調は準同期検波方式であることに加えて、変調信号IFの周波数は伝送する情報によって変動するものであることから、システムクロック信号SCの周期を正確に変調信号IFの周期の8分の1として、「0」から「7」までの繰り返し周期(計数周期)を変調信号IFの周期に必ずしも等しくする必要はなく、変調信号IFの各1周期に対して計数値の「0」から「7」までが対応づけられていればよい。

【0031】上述のフリーランカウンタ21は、システムクロック信号SCを2倍周期に分周して計数値の下位ビット(LSB)信号Q0を生成するインバータ21a/D型フリップフロップ21Aと、D型フリップフロップ21Aの出力を2倍周期に分周して中位ビット信号Q1を生成する排他的論理和21b/D型フリップフロップ21Bと、中位ビット信号Q1を2倍周期(下位ビットの4倍周期)に分周して上位ビット信号Q2を生成すると共に中位ビット及び下位ビットが論理値1となった次の計数周期で出力をリセットする論理積21c/排他的論理和21d/D型フリップフロップ21Cとから構成される。

【0032】また、インバータ回路22は、D型フリップフロップ21A~21Cがそれぞれ出力する下位、中位、上位ビットの各論理値を反転するインバータ22A~22Cから構成され、フリーランカウンタ21のアップカウントの計数値をダウンカウントの計数値に変換して、後述の変調信号IFの位相の進み/遅れと計数値の大/小とを対応づける。

【0033】さらに、レジスタ回路23は、インバータ回路22によりそれぞれ反転された計数値の下位、中位、上位の各ビットQ0~Q2をトリガー信号TGの立ち上がりエッジで取り込むD型フリップフロップ23A~23Cから構成され、この後段側のレジスタ回路24は、レジスタ回路23の内容をインバータ22Cにより反転された上位ビット信号Q2の立ち上がりエッジで取り込むD型フリップフロップ24A~24Cから構成される。このように、レジスタ回路をマスター側とスレーブ側の2段で構成することにより、変調信号IFの位相情報を一定の時間間隔で出力することが可能となる。

【0034】なお、D型フリップフロップ21A~21C、23A~23C、24A~24Cの内容は、クリア信号CLRによりクリアされる。従って、例えば変調信

号IFのシンボル周期の始めに各D型フリップフロップをクリアすれば、各シンボル周期の先頭を基準として変調信号IFの位相情報が検出されるものとなる。

【0035】このように構成された図1に示す瞬時位相検出部の動作を、図2のタイミングチャートを参照して説明する。変調信号IFの周期Tに対して、システムクロック信号SCは約8周期を有する信号として図示しないクロックジェネレータにより生成される。このシステムクロック信号SCの立ち上がりエッジでD型フリップフロップ21Aの出力は反転を交互に繰り返し、計数値の下位ビット信号Q0となる。

【0036】また、D型フリップフロップ21Bは、システムクロック信号SCの立ち上がりエッジの2つ毎に出力の反転を交互に繰り返し、下位ビット信号Q0の2倍周期を有する中位ビット信号Q1を出力する。さらに、D型フリップフロップ21Cは、システムクロック信号SCの立ち上がりエッジの4つ毎に出力の反転を交互に繰り返し、中位ビット信号Q1の2倍周期を有する上位ビット信号Q2を出力する。

【0037】これらD型フリップフロップ21A~21Cを備えるフリーランカウンタ21は、「0」(Q0,Q1,Q2=0,0,0)から「7」(Q0,Q1,Q2=1,1,1)の間を繰り返してアップカウントして、ビット信号Q0~Q2の3ビットからなる計数値をインバータ回路22に与える。インバータ回路22は、フリーランカウンタ21が出力する計数値の各ビットの論理値を反転させ、ダウンカウントの計数値CTに変換する。

【0038】一方、D型フリップフロップ25は、システムクロック信号SCの立ち下がりエッジで変調信号IFを取り込み、この変調信号IFをシステムクロック信号SCの半クロック分遅延させたトリガー信号TGを生成する。このトリガー信号TGの立ち上がりエッジで、フリーランカウンタ20の計数値CTとして「5」がレジスタ回路23に取り込まれる。

【0039】このとき、トリガー信号TGは、フリーランカウンタ20の計数値CTの変化に対して変調信号IFをシステムクロック信号SCの半クロック分だけ遅らせたものとして生成されるので、レジスタ回路23は、フリーランカウンタ20の出力の遷移点から遅れて計数値CTを取り込み、遷移状態にある不確定な計数値を取り込むことがない。

【0040】次に、レジスタ回路24はフリーランカウンタ20の上位ビット信号(Q2の反転信号)の立ち上がり(次の計数周期の始まり)でレジスタ回路23に取り込まれた計数値「5」を取り込み、これを位相情報Fとして出力する。この後、レジスタ回路23は次の計数周期での計数値CTの取り込みに備える。次に、図示しない信号生成部は、上述の瞬時位相検出部により検出した位相情報Fを相当する周波数偏位に換算し、さらにその偏位に対応したデジタルデータを順次生成する。

【0041】ここで、フリーランカウンタ20が出力する計数値CT(「7」～「0」)は、変調信号IFの1周期を8分割して得られる時間領域のそれぞれに対応し、変調信号IFを遅延させて生成されたトリガー信号TGによりレジスタ回路24に取り込まれた計数値CTは変調信号IFの遷移点の位相に対応する。この計数値CTの値が大きいくほど(変調信号IFの位相が小さい程)変調信号IFの周波数が高いものとなる。

【0042】以上により、瞬時位相検出部により検出された変調信号IFの位相情報は、信号生成部により変調信号の周波数情報に対応するデジタル信号に変換されて、変調信号がデジタル信号に復調される。なお、本実施形態では、変調信号IFの1周期を8つの時間領域に分割して位相情報(周波数情報)を特定する場合を例として説明したが、さらに細かく分割するように構成すれば、変調信号の位相情報の検出精度をさらに高めることができる。

【0043】〔第2の実施の形態について〕次に、本発明の第2の実施の形態に係るFSK復調器が備える瞬時位相検出部について、図3及び図4を参照して説明する。本実施形態の瞬時位相検出部は、変調信号IFの位相情報の取り込みを、システムクロック信号SCの立ち上がりエッジ及び立ち下がりエッジの双方のエッジで行い、位相情報の検出精度を高めるものである。なお、図3において、図1に示す第1の実施形態に係る要素と同一或いは相当する要素には同一符号を付して、説明を省略する。

【0044】図3に示す本実施形態のFSK復調器が備える瞬時位相検出部は、図1に示す第1の実施形態の構成に加えて、システムクロック信号SCの立ち上がりエッジで変調信号IFを取り込んで出力するD型フリップフロップ回路26と、D型フリップフロップ25の出力の立ち上がりエッジでD型フリップフロップ26の出力を取り込むレジスタ回路23Dと、フリーランカウンタ20の上位ビットの立ち上がりでエッジでD型フリップフロップ23Aの出力を取り込むレジスタ回路24Dと、レジスタ回路24の内容にレジスタ回路24Dの内容を加算する加算器27とを備えて構成される。

【0045】なお、後述の図4に示すように、本実施形態のフリーランカウンタ20の計数値CTは、偶数値を採るものとなっているが、これは加算器27の加算結果が整数となるように便宜的に割り当てたものであって、フリーランカウンタ20が出力する計数値のバイナリコードに対して割り当てられる10進数のキャラクターは、周波数の変化を相対的に表現できるものであれば、どのようなであってもよい。

【0046】以下、図4を参照して、前述の第1の実施形態との相違点を中心として、その動作を説明する。本実施形態に特有な構成要素であるD型フリップフロップ2.6は、D型フリップフロップ25がシステムクロック

信号SCの立ち下がりエッジで変調信号IFを取り込む半クロック周期前に、このシステムクロック信号SCの立ち上がりエッジで変調信号IFのレベル(論理値)を取り込み、このレベルを表す信号SCRを出力する。そして、この信号SCRは、レジスタ回路23D及び24Dに取り込まれ、加算器27がレジスタ回路24の内容(計数値CT)に信号SCRを加算する。

【0047】従って、例えば、図4に例示するように、周期Tにおいて、レジスタ回路23に取り込まれた計数値CTが「10」の場合、この計数値「10」を取り込む際の信号SCRは論理値1であることから、少なくとも、レジスタ回路23が計数値CTを取り込む半クロック周期前において、変調信号IFは論理値1であったことを知ることができる。

【0048】従って、加算器27により、レジスタ回路23、24が取り込んだ計数値「10」に対してレジスタ23D、24Dが取り込んだ信号SCTの論理値「1」を加算し、計数値CTを1段階増やして「11」に修正した計数値を位相情報FUとして生成すれば、位相情報の検出精度が上がることとなる。

【0049】また、図4に例示する周期Tの次の周期(符号なし)のように、レジスタ回路23に取り込まれた計数値CTが「12」であって、この計数値「12」を取り込む際の信号SCRが論理値0である場合、システムクロック信号SCの半クロック周期前において、変調信号IFは論理値0である。従って、この場合、加算器27は、計数値「12」に対して信号SCTの論理値として「0」を加算し、計数値FUを計数値CTと同値とする。

【0050】このように、本実施形態によれば、システムクロック信号SCの立ち上がりエッジと立ち下がりエッジとで変調信号IFを取り込んで、計数値CTを修正するので、前述の図1に示す第1の実施形態と比較して、2倍の検出精度で変調信号IFの遷移点の時間位置(位相情報)を知ることができ、システムクロック信号SCの周波数を上げることなく、位相情報Fの精度を上げることができる。

【0051】次に、図5及び図6を参照して、本実施形態の構成を拡張した瞬時位相検出器について説明する。この検出器は、変調信号IFの立ち上がり及び立ち下がりの両方のエッジの時間位置を求めることができるように図3の構成を拡張したものであり、さらに位相情報の検出精度を向上させるものである。なお、図5において、図3に示す要素と同一或いは相当する要素には同一符号を付し、その説明を省略する。

【0052】即ち、図5に示す瞬時位相検出部は、図3に示す構成に加えて、D型フリップフロップ25及び26の出力をそれぞれ反転させてトリガー信号TGb及び信号SCRbとするインバータN1及びN2と、変調信号IFの立ち下がりエッジの時間位置に対応する計数値

CTTを取り込むレジスタ回路65及び66と、D型フリップフロップ25の出力の立ち下がりエッジでD型フリップフロップ26の反転出力を取り込むレジスタ回路65Dと、フリーランカウンタ21の上位ビットの立ち下がりエッジでD型フリップフロップ65Dの出力を取り込むレジスタ回路66Dと、レジスタ回路24の内容をレジスタ回路24Dの内容で修正して得られる位相情報FUと、レジスタ回路66の内容をレジスタ回路66Dの内容で修正して得られる位相情報FDとを加算して位相情報Pを生成する加算器69とを備えて構成される。

【0053】前述のようにレジスタ回路23、24は変調信号IFの立ち上がりエッジの時間位置の計数値を取り込むものであるのに対し、本実施形態に特有なレジスタ回路65、66は、変調信号IFの立ち下がりエッジの時間位置の計数値を取り込むものである。

【0054】ここで、レジスタ回路23に入力する計数値CTは、フリーランカウンタ21の出力をインバータ回路22により反転させたものであるのに対し、レジスタ回路65に入力する計数値CTTは、フリーランカウンタ21の3ビットの出力のうち、上位ビットのみを反転させずに取り出したものとなっている。従って、計数値CTTは計数値CTに対して変調信号IFの立ち上がりエッジと立ち下がりエッジとの位相差（周期Tの半周期分＝8カウント分）だけシフトしたものとなる。

【0055】このように構成された図5に示す瞬時位相検出部は、以下に説明するように、変調信号IFの立ち上がりエッジ及び立ち下がりエッジの両方のエッジの位相情報の取り込みを、システムクロック信号SCの立ち上がりエッジ及び立ち下がりエッジの双方のエッジで行い、位相情報の検出精度をさらに高めるものとなる。

【0056】即ち、図5において、レジスタ回路23が入力する計数値CTが「14」を起点としてダウンカウントするものであるのに対して、この瞬時位相検出器に特有な構成要素であるレジスタ回路65が入力する計数値CTTは、計数値CTに対して8カウント分だけシフトした「6」を起点としてダウンカウントする。このように、計数値CTTの初期値をシフトさせることにより、変調信号IFの立ち上がり立ち下がりとの両エッジ間の位相差がキャンセルされて、位相情報を求めるための量として等価なものとなる。

【0057】このように変調信号の立ち上がり立ち下がりのエッジに計数値を整合させて、変調信号IFの立ち上がり及び立ち下がりの両エッジについて、それぞれ位相情報FU及びFDの検出を並列的に行い、これら位相情報FUとFDとを加算器69により加算処理してスムージングし、5ビットのバイナリーコードP[0]～P[4]からなる位相情報Pを生成する。

【0058】図6に示す例では、変調信号IFの立ち上がりエッジE₁から求められた計数値が「10」である

のに対して、変調信号IFの立ち下がりエッジE₂から求められた計数値も「10」である。これらの計数値はレジスタ回路24D、66Dのそれぞれの内容と共に加算器69に与えられ、加算器69は、修正された位相情報FU（＝「11」）とFD（＝「11」）とを加算し、位相情報Pとして「22」を生成する。

【0059】この場合、位相情報Pの値自体は、図3の瞬時位相検出器に比べて大きなものとなるが、前述したように、この位相情報は周波数情報を相対的に把握できるものであれば足り、その値自体はどのように定めても良い。従って、加算して得られた計数値「22」を、敢えて2で除して平均することなく、そのまま取り扱っても、何ら不都合はない。

【0060】ここで、仮に一方の位相情報FUが「10」であったとすれば、位相情報Pは「21」となり、「1」のずれが生じ、位相情報Pは「1」を最小単位として変化する。従って、位相情報Pが取り得る最大値は31であるから、位相情報Pは32分の1の検出精度で表現されるものとなる。因に、前述の図1に示す瞬時位相検出器の場合、位相情報Fは8分の1の精度で検出され、図3に示す瞬時位相検出器の場合、位相情報FUは16分の1の精度で検出される。

【0061】なお、位相情報FUとFDとを検出するための変調信号IFの立ち上がりエッジと立ち下がりエッジが同一周期内のもではなく、例えば位相情報FDを検出する変調信号IFの立ち下がりエッジの位相が0°であって、位相情報FUを検出する変調信号IFの立ち上がりエッジが350°である場合のように、一方の位相（この場合立ち下がりエッジの位相）が360°を越えて一周したものである場合には、これらの位相差の平均を演算するに際し、立ち下がりエッジの位相を0°とせずに360°と判定処理して加算演算する必要がある。このための判定処理を含んだ加算回路が必要となる。因に、この例の場合には、360°と0°との平均値175°ではなく、360°と350°との平均値355°が求められる位相の平均値となる。

【0062】

【発明の効果】以上の説明から明らかなように、本発明によれば、以下のような効果を得ることができる。即ち、請求項1及び請求項2に記載の発明にかかるFSK復調器によれば、変調信号の遷移点の時間位置（位相情報）を計数手段（フリーランカウンタ）の計数値として検出し、位相情報が周波数情報に比例することを利用して、検出された計数値から周波数情報を特定するように構成したので、アナログ回路を含むことなくデジタル回路のみから装置を構成することができ、構成部品点数を削減して装置の小型化を可能とする。

【0063】また、請求項3に記載の発明にかかるFSK復調器によれば、システムクロック信号の立ち上がり及び立ち下がりの両方のエッジを用いて変調信号の位相

情報を検出するように構成したので、請求項1及び請求項2に記載の発明にかかるFSK復調器により得られる効果に加えて、消費電力の増加を伴うことなく高精度且つ高速に位相情報の検出を行うことができ、高度無線呼び出しシステムの受信機への適用が可能となる。

【図面の簡単な説明】

【図1】第1の実施形態のFSK復調器が備える瞬時位相検出部の構成図である。

【図2】図1に示す瞬時位相検出部の動作を説明するためのタイミングチャートである。

【図3】第2の実施形態のFSK復調器が備える該瞬時位相検出部の構成図である。

【図4】図3に示す瞬時位相検出部の動作を説明するためのタイミングチャートである。

【図5】図3に示す瞬時位相検出部の機能を拡張して再構成した瞬時位相検出部の構成図である。

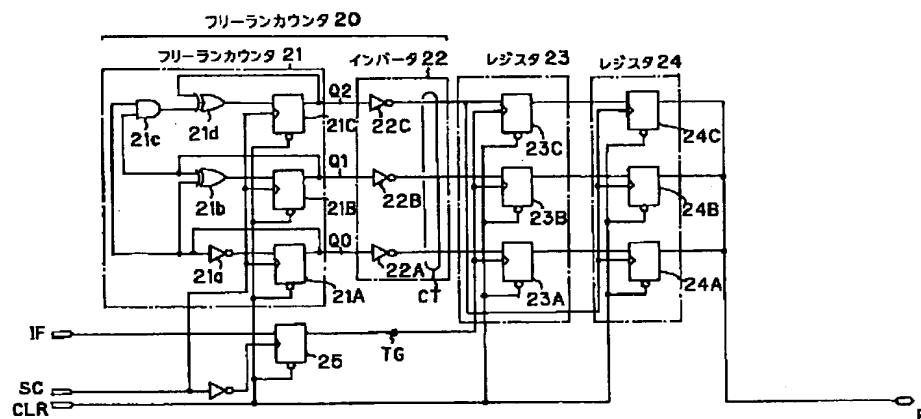
【図6】図5に示す瞬時位相検出部の動作を説明するためのタイミングチャートである。

【図7】FSK復調器の全体ブロック図である。

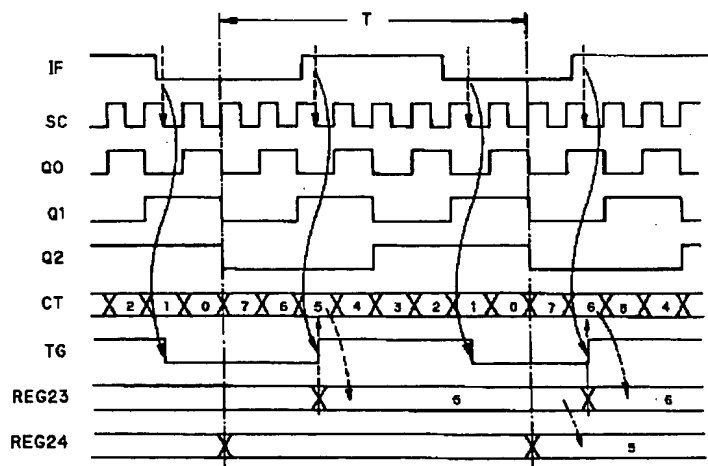
【符号の説明】

- 20 フリーランカウンタ(ダウンカウント)
- 21 フリーランカウンタ(アップカウント)
- 21a, 22A~22C インバータ
- 21b, 21d 排他的論理和
- 21c 論理積
- 22 インバータ回路
- 23, 24, 65, 66 レジスタ回路
- 23A~23D, 24A~24D, 25, 26 D型フリップフロップ
- 65D, 66D D型フリップフロップ
- 27, 69 加算器

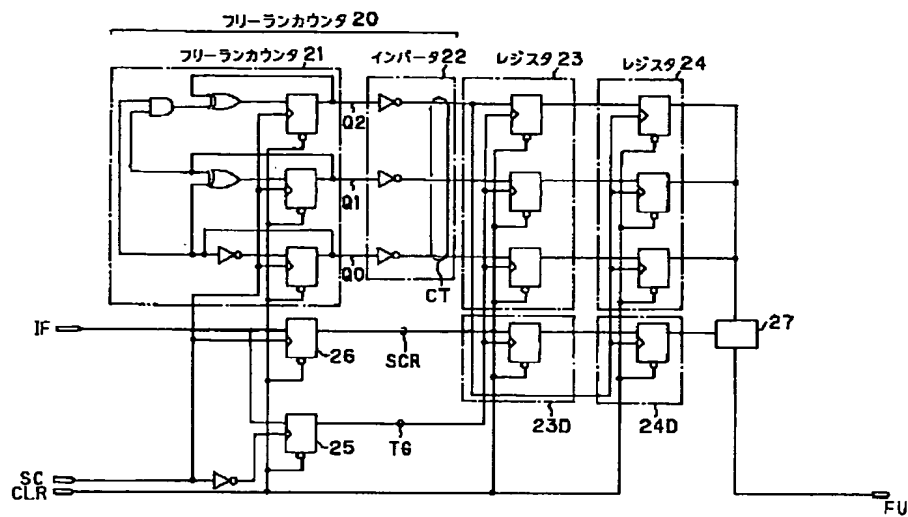
【図1】



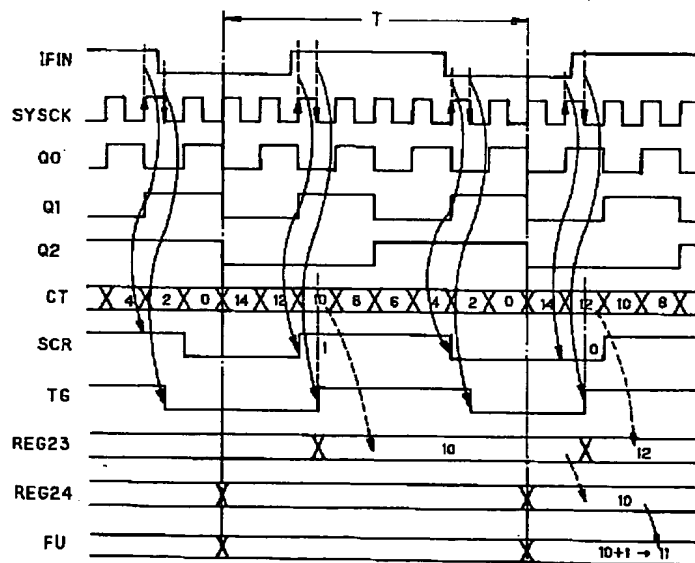
【図2】



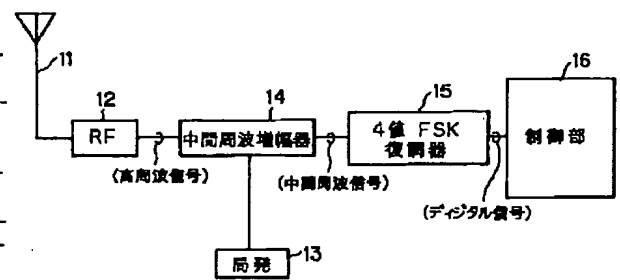
【図3】



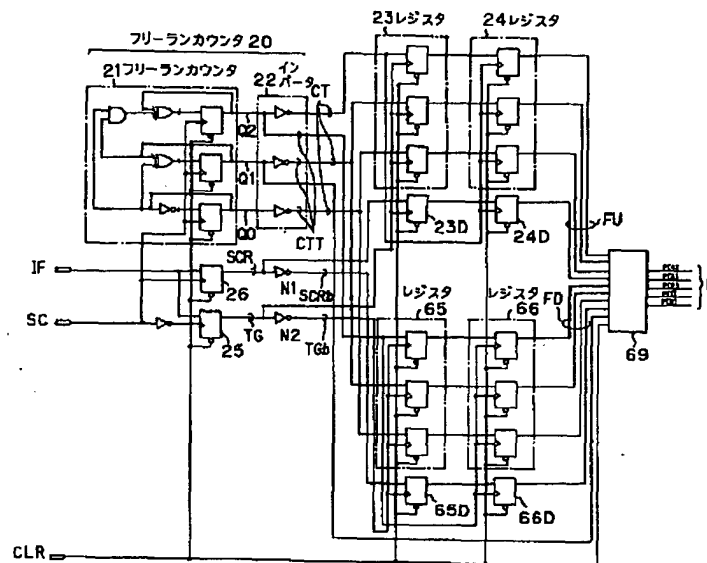
【図4】



【図7】



【図5】



【図6】

